



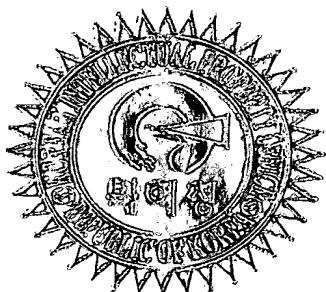
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0060924
Application Number

출 원 년 월 일 : 2003년 09월 01일
Date of Application SEP 01, 2003

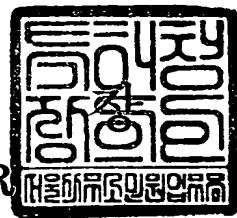
출 원 인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0013		
【제출일자】	2003.09.01		
【발명의 명칭】	캐패시터를 갖는 반도체 소자 제조 방법		
【발명의 영문명칭】	METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE HAVING CAPACITOR		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-059722-7		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-059725-9		
【발명자】			
【성명의 국문표기】	조보연		
【성명의 영문표기】	J0,Bo Yeoun		
【주민등록번호】	700225-1063218		
【우편번호】	467-902		
【주소】	경기도 이천시 장호원읍 노탑리 193-1 기산아파트 412		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원

1020030060924

출력 일자: 2003/10/27

【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】			426,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명에 따른 캐패시터를 갖는 반도체 소자 제조 방법은 반도체 기판 상에 하부 금속층, 절연층 및 상부 금속층을 순차적으로 증착하는 단계와, 상부 금속층의 상부에 제 1 포토레지스트 패턴을 형성한 후 제 1 포토레지스트 패턴에 맞추어 상부 금속층 및 절연층을 식각하여 상부 전극막 및 캐패시터 절연막을 형성하는 단계와, O2/N2 플라즈마를 이용하여 제 1 포토레지스트 패턴을 제거하는 단계와, H2O/CF4 플라즈마를 이용하여 하부 금속층 상에 존재하는 폴리머를 제거하는 단계와, 폴리머 제거 후에 상부 전극막과 캐패시터 절연막이 완전히 매립시키는 제 2 포토레지스트 패턴을 형성하는 단계와, 제 2 포토레지스트 패턴에 맞추어서 하부 전극층을 식각하여 하부 전극막을 형성하는 단계와, 제 2 포토레지스트 패턴을 제거하여 하부 전극막, 캐패시터 절연막 및 상부 전극막으로 구성된 MIM형 캐패시터를 형성시키는 단계를 포함한다.

이와 같이, 본 발명은 하부 금속층을 식각하기 전에 상부 전극막 및 캐패시터 전극 형성 시에 발생되는 폴리머를 세단계의 플라즈마 공정으로 이루어진 애싱 공정을 이용하여 제거함으로써, 하부 금속층 식각 공정의 마진을 확보할 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

캐패시터를 갖는 반도체 소자 제조 방법{METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE HAVING CAPACITOR}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 기술에 의한 MIM형 반도체 소자 제조 과정을 도시한 공정 단면도이고,

도 2는 본 발명에 따른 MIM형 반도체 소자 제조 과정을 도시한 흐름도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 기판

102 : 하부 금속층

104 : 절연층

106 : 상부 금속층

108 : 제 1 포토레지스트 패턴

110 : 폴리머

112 : 제 2 포토레지스트 패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히 RIE 공정에서 발생되는 폴리머를 효과적으로 제거할 수 있는 캐패시터를 갖는 반도체 소자 제조 방법에 관한 것이다.

<9> 최근, 제품의 컴팩트화 및 고속화에 따라 몇 개의 LSI(Large Scale Integrated Circuit)를 하나의 LSI로 통합한 시스템 LSI가 이용되고 있다. 또한, 통신 기술의 발달에 따라 통신에 적용되는 아날로그 회로와 디지털 회로가 하나의 LSI로 통합된 아날로그/디지털 혼재형 LSI가 한창 개발되고 있다.

<10> 아날로그 회로를 구성하기 위해 고정밀도이며 전압에 의존하지 않고 안정된 특성을 갖는 캐패시터가 요구되고 있다. 이러한 캐패시터로서, PIP(Polysilicon Insulator Polysilicon)형 캐패시터가 이용되고 있다. 이 PIP형 캐패시터는, 불순물이 도핑된 poly-Si와 poly-Si의 poly-Si의 전극 사이에 ONO막이 끼워진 구성으로 되어 있다.

<11> 그러나, PIP형 캐패시터는 전압 계수 및 온도 계수가 높기 때문에 전압 및 온도의 의존성이 있으며, poly-Si의 저항이 크기 때문에 LSI가 안정된 동작을 행할 수 없다는 문제점을 갖고 있다.

<12> 그래서, 이러한 문제점을 개선하기 위해, MIM(Metal Insulator Metal)형 캐패시터가 주목받고 있다. 이러한 MIM형 캐패시터는 전압 계수 및 전기 저항이 Poly-Si보다 낮은 금속을 적극으로서 이용하고 있고 다층 배선층 내에 형성할 수 있기 때문에 기생 용량도 억제된다. 특히, 이러한 MIM형 캐패시터는 고주파를 사용하는 반도체 소자에 사용하고 있다. 즉, 고주파 소자에는 RC 릴레이에 의한 소자 특성이 달라지기 때문에, 가급적 전기적 특성이 좋은 금속을 사용하는 MIM 구조의 캐패시터를 사용하고 있다.

<13> 도 1a 내지 도 1d는 종래 기술에 의한 MIM형 캐패시터의 구조 및 제조 공정을 나타내는 공정 단면도이다.

<14> 도 1a에 도시된 바와 같이, 반도체 기판(100) 상에 하부 금속층(102), 절연층 및 상부 금속층(106)을 순차적으로 증착한 후 상부 금속층(106) 상에 제 1 포토레지스트 패턴(108)을 형성한다. 이때, 하부 금속층(102)은 산화막과 같은 절연막, 제 1 배리어 금속막인 티타늄/티타늄 질화막, 알루미늄 또는 구리로 이루어진 금속막 및 제 2 배리어 금속막인 티타늄/티타늄 질화막이 적층된 구조를 갖는다.

<15> 이후, 도 1b에 도시된 바와 같이, 제 1 포토레지스트 패턴(108)을 마스크로 하고 하부 금속층(102)을 엔드 포인트로 하여 상부 금속층(106) 및 절연층(104)을 식각하여 상부 전극막(106') 및 캐패시터 절연막(104')을 형성한다. 이때, 상부 금속층(106) 및 절연층(104)의 식각은 리소그래피 및 금속 RIE 기술을 이용한다.

<16> 이러한 상부 금속층(106) 및 절연층(104)의 식각을 위한 금속 RIE 공정에서 폴리머(110)가 발생되며, 이후 공정을 진행하기 전에 이러한 폴리머(110)를 제거하기 위해 세정 공정을 실시하지만 폴리머(110)가 완전히 제거되지 않고 일부가 남는다.

<17> 그 다음으로, 도 1c에 도시된 바와 같이, 제 1 포토레지스트 패턴(108)을 제거한 후 결과물 상에 상부 전극막(106') 및 캐패시터 절연막(104')을 완전히 매립하면서 하부 금속층(102)을 패터닝하기 위한 제 2 포토레지스트 패턴(112)을 형성한다.

<18> 도 1d에 도시된 바와 같이, 제 2 포토레지스트 패턴(112)을 마스크로 하여 하부 금속층(102)을 식각하여 하부 전극막(102')을 형성한 다음 제 2 포토레지스트 패턴(112)을 제거함으로써, 하부 전극막(102'), 캐패시터 절연막(104') 및 상부 전극막(106')으로 이루어진 MIM형 캐패시터(114)가 형성된다.

<19> 그러나, 하부 금속층(102) 식각 시 하부 금속층(102) 상에 잔존하는 폴리머(110)로 인하여 A 영역의 하부 금속층(102)이 제대로 식각되지 않기 때문에 MIM형 캐패시터 특성을 저하시키며, 결과적으로 반도체 수율을 떨어뜨리는 요인이 된다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 하부 전극막 및 캐패시터 절연막 형성 시에 발생되는 폴리머를 세단계의 플라즈마 공정으로 제거함으로써, 후속 공정의 안정성을 도모하여 결과적으로 반도체 소자의 특성을 향상시킬 수 있는 반도체 공정의 폴리머 제거 방법을 제공하고자 한다.

<21> 또한, 본 발명의 다른 목적은, MIM형 캐패시터 형성 시에 상부 금속층 및 절연층 식각 공정으로 발생되는 폴리머를 효과적으로 제거함으로써, 하부 금속층 식각 공정 마진을 확보할 수 있는 캐패시터를 갖는 반도체 소자 제조 방법을 제공하고자 한다.

<22> 상기와 같은 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 하부 금속층, 절연층 및 상부 금속층을 순차적으로 증착하고, 상기 상부 금속층의 상부에 포토레지스트 패턴을 형성한 후 상기 포토레지스트 패턴에 맞추어 상기 상부 금속층 및 절연층을 식각하여 상부 전극막 및 캐패시터 절연막을 형성할 때 발생되는 폴리머를 제거하는 방법에 있어서, O2/N2 플라즈마를 이용하여 상기 포토레지스트 패턴을 제거하는 제 1 단계와, H2O/CF4 플라즈마를 이용하여 상기 하부 금속층 상에 존재하는 폴리머를 제거하는 제 2 단계를 포함한다.

<23> 본 발명의 다른 목적을 달성하기 위한 본 발명은, 반도체 기판 상에 하부 금속층, 절연층 및 상부 금속층을 순차적으로 증착하는 단계와, 상기 상부 금속층의 상부에 제 1 포토레지스트 패턴을 형성한 후 상기 제 1 포토레지스트 패턴에 맞추어 상기 상부 금속층 및 절연층을



1020030060924

출력 일자: 2003/10/27

식각하여 상부 전극막 및 캐패시터 절연막을 형성하는 단계와, O2/N2 플라즈마를 이용하여 상기 제 1 포토레지스트 패턴을 제거하는 단계와, H2O/CF4 플라즈마를 이용하여 상기 하부 금속층 상에 존재하는 폴리머를 제거하는 단계와, 상기 폴리머 제거 후에 상기 상부 전극막과 캐패시터 절연막이 완전히 매립시키는 제 2 포토레지스트 패턴을 형성하는 단계와, 상기 제 2 포토레지스트 패턴에 맞추어서 상기 하부 전극층을 식각하여 하부 전극막을 형성하는 단계와, 상기 제 2 포토레지스트 패턴을 제거하여 상기 하부 전극막, 캐패시터 절연막 및 상부 전극막으로 구성된 MIM형 캐패시터를 형성시키는 단계를 포함한다.

【발명의 구성 및 작용】

<24> 이하, 첨부한 도면을 참조하여 바람직한 실시 예에 대하여 상세히 설명하기로 한다.

<25> 설명에 앞서, 본 발명은 종래의 MIM형 캐패시터를 제조하는 과정에서 발생되는 폴리머를 효과적으로 제거하기 위한 것으로, 본 발명에 따른 MIM형 캐패시터 제조 과정은 종래의 도 1a 내지 도 1d를 참조하여 설명하며, 동일한 구성요소에 대해서는 동일한 도면 부호를 이용하여 설명한다.

<26> 도 2는 본 발명에 따른 MIM형 캐패시터 제조 공정을 도시한 흐름도이다.

<27> 도 2를 참조하면, 종래와 동일하게 반도체 기판(100) 상에 하부 금속층(102)을 스퍼터링(sputtering) 방식으로 증착한 후 하부 금속층(102) 상부에 절연층(104) 및 상부 금속층(106)을 순차적으로 증착한다(S200). 이때, 증착되는 하부 금속층(102)의 두께는 5000Å이고, 유전체층(104)은 600Å의 두께를 갖는 PE-SiN과 같은 질화막이고, 상부 금속층(106)은 500Å/1500Å의 두께를 갖는 Ti/TiN이다.



<28> 이후, 상부 금속층(106)의 상부에 13000Å의 두께로 포토레지스트를 도포한 후에 노광 및 현상하여 제 1 포토레지스트 패턴(108)을 형성하고, 제 1 포토레지스트 패턴(108)에 맞추어서 상부 금속층(106) 및 절연층(104)을 식각하여 상부 전극막(106') 및 캐패시터 절연막(104')을 형성한다(S202, S204). 이때 상부 금속층(106) 및 절연층(104)의 식각 방법으로는 금속 RIE을 이용하며, 먼저 상부 금속층(106) 식각 시 금속 RIE의 조건은 8mT/900W(소스)/150W(바이어스)/50Cl2/10CHF3/50Ar/50sec이며, 절연층(104) 식각 시 RIE의 조건은 8mT/900W(소스)/150W(바이어스)/20CHF3/150Ar/10sec이다.

<29> 위와 같이 금속 RIE 방식으로 상부 금속층(106) 및 절연층(104)을 식각 시 발생되는 폴리머(110)를 제거하기 위해 애싱(ashing) 공정을 실시한다. 이때 애싱 공정은 크게 세 단계로 이루어져 있다.

<30> 첫 번째 단계는 O2/N2를 이용하여 제 1 포토레지스트 패턴(108)을 제거하는 단계로써, 구체적인 공정 조건은 2Torr/1400W/300002/300N2/250°C이며, 이때 제 1 포토레지스트 패턴(108)의 두께가 13000Å이기 때문에 첫 번째 단계의 공정 시간은 50초가 적당하다(S206).

<31> 두 번째 단계는 H2O/CF4를 이용하여 폴리머(110)를 제거하는 단계로써, 그 구체적인 공정 조건은 2Torr/1400W/750H2O/75CF4/20sec/250°C이다(S208). 여기서, CF4의 양은 H2O양의 5~15%를 사용하는데, 그 이유는 애싱 장비 내의 석영(quartz)을 사용할 경우 CF4의 F기에 의해 석영이 부식되는 것을 방지하기 위해서이고, 공정 시간은 첫 번째 공정 시간의 30~50%의 시간, 즉 20초가 적당하다.

<32> 마지막 단계는 O2를 이용하여 잔류할 수 있는 제 1 포토레지스트 패턴을 제거하는 과정으로써, 공정 시간은 첫 번째 공정 시간의 40~60%의 시간을 설정한다. 그 구체적인 공정 조건은 2Torr/1400W/300002/25sec/250°C이다(S210).



1020030060924

출력 일자: 2003/10/27

<33> 그 다음으로, 도 1c에 도시된 바와 같이, 제 1 포토레지스트 패턴(108)을 제거한 후 결과물 상에 상부 전극막(106') 및 캐패시터 절연막(104')을 완전히 보호하면서 하부 금속층(102)을 패터닝하기 위한 제 2 포토레지스트 패턴(112)을 형성한다.

<34> 도 1d에 도시된 바와 같이, 제 2 포토레지스트 패턴(112)을 마스크로 하여 하부 금속층(102)을 식각하여 하부 전극막(102')을 형성한 다음 제 2 포토레지스트 패턴(112)을 제거함으로써, 하부 전극막(102'), 캐패시터 절연막(104') 및 상부 전극막(106')으로 이루어진 MIM형 캐패시터(114)가 형성된다.

【발명의 효과】

<35> 이상 설명한 바와 같이, 본 발명은 하부 전극막 및 캐패시터 절연막 형성 시에 발생되는 폴리머를 세단계의 플라즈마 공정으로 제거함으로써, 후속 공정의 안정성을 도모하여 결과적으로 반도체 소자의 특성을 향상시킬 수 있다.

<36> 또한, 본 발명은 하부 금속층을 식각하기 전에 상부 전극막 및 캐패시터 전극 형성 시에 발생되는 폴리머를 세단계의 플라즈마 공정으로 이루어진 애성 공정을 이용하여 제거함으로써, 하부 금속층 식각 공정의 마진을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 하부 금속층, 절연층 및 상부 금속층을 순차적으로 증착하고, 상기 상부 금속층의 상부에 포토레지스트 패턴을 형성한 후 상기 포토레지스트 패턴에 맞추어 상기 상부 금속층 및 절연층을 식각하여 상부 전극막 및 캐패시터 절연막을 형성할 때 발생되는 폴리머를 제거하는 방법에 있어서,

02/N2 플라즈마를 이용하여 상기 포토레지스트 패턴을 제거하는 제 1 단계와,

H2O/CF4 플라즈마를 이용하여 상기 하부 금속층 상에 존재하는 폴리머를 제거하는 제 2 단계

를 포함하는 반도체 공정의 폴리머 제거 방법.

【청구항 2】

제 1 항에 있어서,

상기 02/N2 플라즈마 공정은,

적어도 50초 동안 진행되는 것을 특징으로 하는 반도체 공정의 폴리머 제거 방법.

【청구항 3】

제 1 항에 있어서,

상기 H2O/CF4 플라즈마 공정에서 상기 CF4의 양은,

상기 H2O 사용량의 5~15%인 것을 특징으로 하는 반도체 공정의 폴리머 제거 방법.

【청구항 4】

제 1 항에 있어서,

상기 반도체 공정의 폴리머 제거 방법은,

상기 제 2 단계 이후 02 플라즈마를 이용하여 상기 제 1 단계에서 제거되지 않은 포토레지스트를 제거하는 제 3 단계를 더 포함하는 반도체 공정의 폴리머 제거 방법.

【청구항 5】

제 4 항에 있어서,

상기 제 1, 2, 3 단계의 플라즈마 공정은,

동일한 전력을 사용하는 것을 특징으로 하는 반도체 공정의 폴리머 제거 방법.

【청구항 6】

제 4 항에 있어서,

상기 제 3 단계의 플라즈마 진행 시간은,

상기 제 1 단계의 플라즈마 진행 시간의 40~60%인 것을 특징으로 하는 반도체 공정의 폴리머 제거 방법.

【청구항 7】

제 4 항에 있어서,

상기 제 2 단계의 플라즈마 진행 시간은,

상기 제 1 단계의 플라즈마 진행 시간의 30~50%인 것을 특징으로 하는 반도체 공정의 폴리머 제거 방법.

【청구항 8】

반도체 기판 상에 하부 금속층, 절연층 및 상부 금속층을 순차적으로 증착하는 단계와,
상기 상부 금속층의 상부에 제 1 포토레지스트 패턴을 형성한 후 상기 제 1 포토레지스트 패턴에 맞추어 상기 상부 금속층 및 절연층을 식각하여 상부 전극막 및 캐패시터 절연막을 형성하는 단계와,

02/N2 플라즈마를 이용하여 상기 제 1 포토레지스트 패턴을 제거하는 단계와,
H2O/CF4 플라즈마를 이용하여 상기 하부 금속층 상에 존재하는 폴리머를 제거하는 단계와,

상기 폴리머 제거 후에 상기 상부 전극막과 캐패시터 절연막이 완전히 매립시키는 제 2 포토레지스트 패턴을 형성하는 단계와,

상기 제 2 포토레지스트 패턴에 맞추어서 상기 하부 전극층을 식각하여 하부 전극막을 형성하는 단계와,

상기 제 2 포토레지스트 패턴을 제거하여 상기 하부 전극막, 캐패시터 절연막 및 상부 전극막으로 구성된 MIM형 캐패시터를 형성시키는 단계

를 포함하는 캐패시터를 갖는 반도체 소자 제조 방법.

【청구항 9】

제 8 항에 있어서,

상기 캐패시터를 갖는 반도체 소자 제조 방법은,

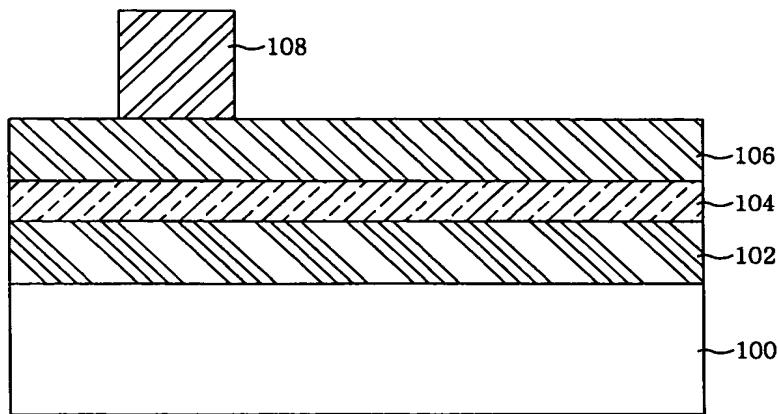
1020030060924

출력 일자: 2003/10/27

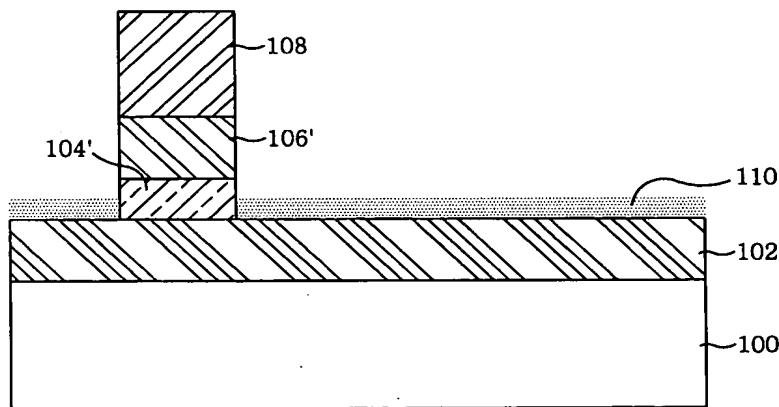
상기 H₂O/CF₄ 플라즈마 공정 이후, 상기 O₂/N₂ 플라즈마 공정에서 제거되지 않은 포토레지스트 성분을 제거하기 위한 O₂ 플라자마를 실시하는 단계를 더 포함하는 캐패시터를 갖는 반도체 소자 제조 방법.

【도면】

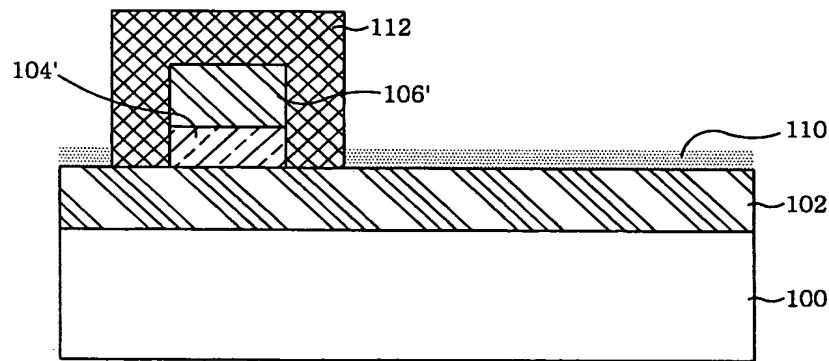
【도 1a】



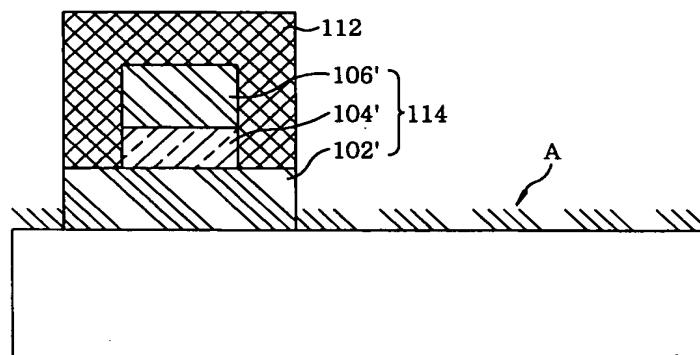
【도 1b】



【도 1c】



【도 1d】



【도 2】

